

PAT-NO: JP403187253A  
DOCUMENT-IDENTIFIER: JP 03187253 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: August 15, 1991

INVENTOR-INFORMATION:  
NAME  
KOBAYASHI, EIJI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
MITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP01326641  
APPL-DATE: December 15, 1989

INT-CL (IPC): H01L025/00  
US-CL-CURRENT: 257/686

ABSTRACT:

PURPOSE: To reduce the size of a printed board, at the time of packaging onto the printed board, and to realize high density packaging by arranging an electronic parts mounting substrate on the surface of a semiconductor device and forming an electronic circuit.

CONSTITUTION: A substrate 11 dedicated for mounting of such electronic parts as capacitors, coils, resistors and the like, which can not be formed on a semiconductor device 1, is secured onto the surface of the semiconductor device and connected electrically therewith thus constituting an electronic circuit.  
In other words, lands formed on the electronic parts mounting substrate 11 and

the electrodes of laminated capacitor chips 9, lands formed on the electronic parts mounting substrate 11 and lead wires 12, the other ends of the lead wires 12 and the outer leads 5 of a lead frame are connected respectively through solders 10. By such arrangement, electronic parts mounting area and wiring area necessary for configuration of an electronic circuit are not required on the printed board, at the time of packaging onto the printed board, mounting area of semiconductor device is minimized resulting in high density packaging.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-187253

⑮ Int. Cl.<sup>5</sup>

H 01 L 25/00

識別記号

B

庁内整理番号

7638-5F

⑬ 公開 平成3年(1991)8月15日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 平1-326641

⑱ 出 願 平1(1989)12月15日

⑲ 発 明 者 小 林 栄 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

セラミック又は樹脂封止された半導体装置の表面に電子部品搭載用基板が配置されかつ、上記電子部品搭載用基板の配線端子が上記半導体装置の2本以上のインナーリードに接続されていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置の構造に関するものである。

〔従来の技術〕

第3図は従来の樹脂封止タイプの半導体装置の構造を示す断面図、第4図は第3図の半導体装置をプリント基板に実装した状況を示す側面図である。図において、(1)は半導体素子、(2)は半導体素子(1)を搭載するためのリードフレームのダイボンパッド部、(3)は半導体素子(1)とダイボンパ

ッド部(2)を接着するためのろう材、(4)はリードフレームと半導体素子(1)を電気的に配線するためのインナーリード部、(5)はパッケージから出ている外部配線用のアウターリード、(6)は半導体素子(1)の表面に形成された電極とインナーリード部(4)を電気的に配線するための金属細線、(7)は半導体素子(1)、リードフレームのダイボンパッド部(2)及びインナーリード部(4)、金属細線(6)を保護するための封止樹脂、(8)はプリント基板、(9)は積層コンデンサチップ、(10)は半田である。

次に動作について説明する。プリント基板(8)の表面に形成されたランドに半導体装置のアウターリード(5)を配置する。又積層コンデンサチップ(9)は電子回路構成上必要な電子部品である。プリント基板(8)上に形成されたランドと半導体素子(1)のアウターリード(5)及び積層コンデンサチップ(9)に形成された電極は半田(10)で接続する。又半導体素子(1)のインナーリード(5)と積層コンデンサチップ(9)はプリント基板(8)に形成された配線にて電気的に接続され、電子回路として動作する。

〔発明が解決しようとする課題〕

従来の半導体装置は以上のように構成されているので、電子回路を構成する上で半導体素子では形成出来ない電子部品、例えばコンデンサ、コイル又は抵抗体（比較的高い抵抗値のもの）等は半導体装置とともに実装されるプリント基板の同一面に乗せなくてはならず少くとも半導体装置のサイズ以上にプリント基板サイズが大きくなり実装密度を増大させることが出来ないという問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、半導体装置を実装させるプリント基板サイズを小型化し実装密度を増大させることが出来る。

〔課題を解決するための手段〕

この発明に係る半導体装置は半導体素子が形成不可な電子部品例えばコンデンサ、コイル、抵抗体等を搭載した専用の電子部品搭載用基板を半導体装置の表面に固定させかつ電気的に接続させることにより、電子回路を構成する。

る。

以下作用について述べる。プリント基板(8)の表面に形成されたランドに半導体装置のアウトリーード(5)が配置されており、さらに上記ランドとアウトリーード(5)を半田00により接続する。またあらかじめ半導体装置の表面には積層コンデンサチップ(9)を搭載した電子部品搭載用基板00を取り付けておくので、積層コンデンサチップ(9)のプリント基板(8)への搭載面積は不用となりプリント基板(8)のサイズはかなり縮小化することが出来る。

なお、上記実施例はプリント基板(8)上へ実装する場合を示したが、アウトリーード(5)の形状がデュアルインラインパッケージ (DIP)であればコネクタ（ソケット）等により配線することも可能である。又電子部品搭載用基板00のリード線はアウトリーード(5)へ半田00により接続しているがクリップリード化してアウトリーード(5)に挟み込み接続すること又、溶接により接続することも可能である。

〔発明の効果〕

〔作用〕

この発明における半導体装置はプリント基板へ実装する際、プリント基板に電子回路の構成に必要な上記電子部品の搭載面積及び配線面積が不要となり、サイズは半導体装置を実装する最小面積で可能となり高密度化が可能となる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図は半導体装置の構成を示す断面図、第2図は第1図の半導体装置をプリント基板に実装する状況を示す側面図である。図中の(1)~(10)は第3図及び第4図の従来例に示したものと同等であるので説明を省略する。00は電子部品搭載用基板、02は電子部品搭載用基板00に形成した電極とリードフレームのアウトリーード(5)を配線するリード線である。電子部品搭載用基板00に形成されたランドと積層コンデンサチップ(9)の電極、電子部品搭載用基板00に形成されたランドとリード線02、及びリード線02の他端とリードフレームのアウトリーード(5)はそれぞれ半田00により接続されている。

以上のように、この発明によればスモールアウトラインパッケージ (SOP)又は DIP等の半導体装置の表面に電子部品搭載用基板を配置し、電子回路を構成したのでプリント基板へ実装する場合、プリント基板のサイズは電子回路部品の搭載面積分小さくなり高密度化を安易に実現することが出来る。

4. 図面の簡単な説明

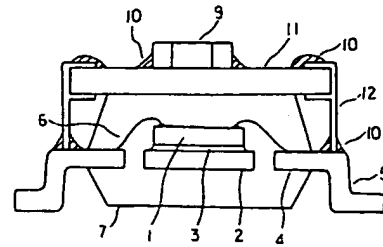
第1図はこの発明の一実施例による半導体装置の構成を示す断面図、第2図は第1図の半導体装置をプリント基板に実装する状況を示す側面図、第3図は従来の半導体装置の構成を示す断面図、第4図は第3図の半導体装置をプリント基板に実装する状況を示す側面図である。図において(1)は半導体素子、(2)はダイボンドパッド部、(3)はろう材、(4)はインナーリード部、(5)はアウトリーード、(6)は金属細線、(7)は封止樹脂、(8)はプリント基板、(9)は積層コンデンサチップ、00は半田、01は電子部品搭載用基板、02はリード線である。

なお、図中、同一符号は同一、又は相当部分を

示す。

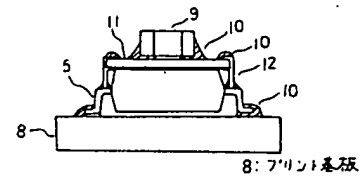
代理人 大 岩 増 雄

第 1 図



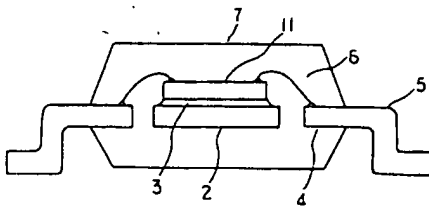
- 1: 半導体素子
- 2: ダイボンドバット部
- 3: 溶剤
- 4: インナーリード部
- 5: アウターリード
- 6: 金属細線
- 7: 封止樹脂
- 9: 積層コンタクトチップ
- 10: 本 田
- 11: 電子部品搭載用基板
- 12: リード線

第 2 図

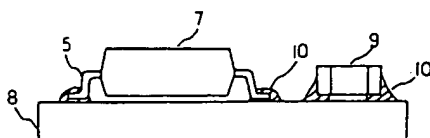


8: プリント基板

第 3 図



第 4 図



手 続 補 正 書 (自 発)

平成 2 年 4 月 14 日

特許庁長官殿

1. 事件の表示 平 特願昭 1-326641 号

2. 発明の名称 半 導 体 装 置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目 2 番 3 号  
名 称 (601) 三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目 2 番 3 号  
三菱電機株式会社内  
氏 名 (7375) 弁理士 大 岩 増 雄  
(連絡先 03(213)3421 特許部)

方 式  
特 許

特 許

特許庁  
2. 4. 9

5. 補正の対象

図面

6. 補正の内容

(1) 図面中第3図を別紙のとおり訂正する。

7. 添付書類の目録

(1) 訂正図面(第3図)

1通

以上

第3図

